

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-023536

(43)Date of publication of application : 23.01.1996

(51)Int.Cl.

H04N 7/24

G09G 3/36

G09G 5/00

G09G 5/36

H04N 5/66

(21)Application number : 06-155979

(71)Applicant : CANON INC

(22)Date of filing : 07.07.1994

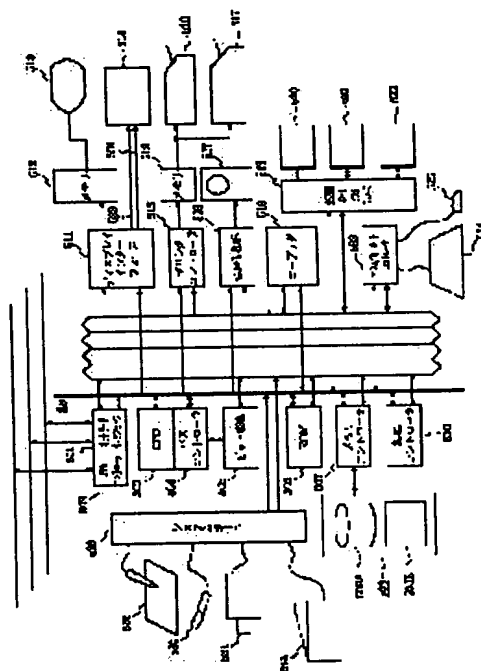
(72)Inventor : UCHIO YUICHI
YOSHIDA TADASHI

(54) IMAGE PROCESSOR

(57)Abstract:

PURPOSE: To efficiently detect a part changed from a previous screen by detecting and outputting the part changed from the previous screen from image data encoded by using the correlation of plural screens.

CONSTITUTION: In the case of outputting MPEG compression image data decoded by a CODEC 518 to an FLC display 514, Y, Cr and Cb (respectively 8 bits) data 533 and change block data 534 are outputted. The change block data 534 are prepared at the time of decoding in the CODEC 518 and transmitted to a display interface 511 along with the decoded image data. Also, a change area storage memory stores the information of an area where change is generated for a previous frame based on the change block data 534 from the CODEC 518. In such a manner, the part changed from the previous screen is detected from the image data encoded by using the correlation of the plural screens.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim]

[Claim 1] The image processing system characterized by having a detection means to detect the fraction which changed to the front screen from the image data encoded using the correlation of two or more screens, and an output means to output the image data of the fraction detected by the aforementioned detection means to display.

[Claim 2] The image processing system characterized by making a refreshment operation perform to the aforementioned display to the timing which displays the image data encoded in the frame among the aforementioned image data in the image processing system which controls the display which performs image display according to the image data encoded using the correlation of two or more screens.

[Claim 3] The aforementioned image data is an image processing system given in the claim 1 or the claim 2 characterized by encoding using orthogonal transformation.

[Claim 4] The aforementioned image data is an image processing system given in the claim 1 or the claim 2 characterized by including a motion vector data.

[Claim 5] The aforementioned output means is an image processing system given in the claim 1 characterized by outputting the information which shows the position of the fraction detected by the aforementioned detection means with the aforementioned image data.

[Claim 6] The aforementioned display is an image processing system given in the claim 1 or the claim 2 characterized by it being possible to rewrite a display image partially.

[Claim 7] The aforementioned display is an image processing system given in the claim 1 or the claim 2 characterized by being ***** which used the ferroelectric liquid crystal.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed description]

[0001]

[Field of the Invention] this invention relates to the image processing system for performing image display by display according to the encoded image data.

[0002]

[Prior art] Use of the liquid crystal device which has bistability nature is proposed by a clarke (Clark) and ***** (Lagerwall) (the U.S. patent specification of No. 4,367,924 etc.). Moreover, the drive formula of a display panel using such liquid crystal is proposed in the U.S. patent of No. 4,655,561.

[0003]

[Object of the Invention] While it has sufficient peak value and sufficient pulse width to produce certainly the orientation status of one side of the bistability nature orientation status, or another side at the time of 1 scanning-line selection according to such a drive formula, it is necessary to impress an another side polarity pulse. For example, the 1 vertical-scanning time (one frame scan time) in the case where the number of scanning-line books is 400 supposing 1 scanning-line selection time is 150microsec is 60microsec, frame frequency is set to 16.7 and frame frequency will fall further according to increase of the number of scanning-line books.

[0004] For this reason, it will be necessary to decrease the line which scans a dynamic image in one frame to want to make it display by fixed frame rate.

[0005] Then, this invention detects efficiently the fraction which changed from the image data encoded using the correlation of two or more screens to the front screen, and aims at enabling change of partial image display in display.

[0006] moreover, intra -- it aims at preventing a degradation of the display image in display by making a refreshment operation perform to the timing which displays a picture image

[0007]

[A The means for solving a technical problem and an operation] In order to attain the above-mentioned purpose, the image processing system of this invention is characterized by having a detection means to detect the fraction which changed to the front screen from the image data encoded using the correlation of two or more screens, and an output means to output the image data of the fraction detected by the aforementioned detection means to display.

[0008] Moreover, in the image processing system which controls the display which performs image display according to the image data encoded using the correlation of two or more screens, it is characterized by making a refreshment operation perform to the aforementioned display to the timing which displays the image data encoded in the frame among the aforementioned image data.

[0009]

[Example]

(Example 1)

<System> drawing 1 is the block diagram showing the structure of a system containing the image processing system of the 1st example of this invention.

[0010] ATM network to which 101 transmits various data, such as image data by which coding

processing was carried out, by various formulae, such as JPEG and MPEG, in ATM (Asynchronous Transfer Mode) in drawing 1 , The Local Area Network using the Ethernet to which 102,103 transmits data in modes other than ATM (LAN). It is the color printer which performs image formation based on the image data which 105 is connected to ATM network, and the facsimile apparatus which has compression of image data and an extension function, and 107 have ** ***** inside, and was elongated from the compressed data which received.

[0011] 109 is a color copying machine containing a color reader and a color printer, and contains the extension circuit elongated in order to read the compression image data written in ** ***** in which the compression circuit which compresses the image data of the manuscript read by the color reader for example, based on JPEG formula, and the compressed image data are written, and page memory and to supply a printer.

[0012] While it is PC (personal computer) connected with ATM network, this personal computer 115 performs transfer of MPEG data or JPEG data between above-mentioned Local Area Networks and the work station for the file server which once stores the image data into which 111 is inputted through ATM network, and 113 outputting and inputting data to this file server, and 115 perform coding and a decryption of data, various processings, such as an edit of various image data, are performed.

[0013] Moreover, this personal computer 115 is connected through the above-mentioned printer 107, etc. the above-mentioned network circuit 103, or the dedicated line.

[0014] 117 is the same server as 111, and is the same configuration as the aforementioned server 111.

[0015] It connects with the above-mentioned color copying machine 109 and the same color copying machine 119 at such a server 117.

[0016] 121 is a digital television connected to ATM network, and this digital television receives the coded data of MPEG or JPEG formula inputted through ATM network, carries out the decode of this, and displays it on a CRT display device as a visible image.

[0017] In addition, such a monitor may be a display unit using the ferroelectric liquid crystal called FLC [like / below-mentioned].

[0018] 123 is VTR which receives MPEG or JPEG compression image data inputted through ATM network.

[0019] Such VTR123 performs predetermined signal processing with the coded data which had MPEG or JPEG compression image data inputted from ATM network circuit compressed, and records it on a tape.

[0020] Moreover, this VTR123 has the image-data-compression machine for compressing the incompressible data received from the exterior based on MPEG or JPEG formula, and keeping on record on a tape.

[0021] 127 is a CATV office which sends out the data compressed by MPEG or JPEG compression image data formula to ATM network.

[0022] This CATV office 127 outputs the data for a broadcast through ATM network circuit, as illustrated.

[0023] 129 is a router for connecting other ATM networks to ATM network.

[0024] 131 is a router for connecting with other Local Area Networks.

[0025] Moreover, non-illustrated ATM network switch is formed between facsimile apparatus 105, the printer 107, the color copying machine 111, and ATM network.

[0026] JPEG compression image data of <JPEG compression image data>, next the various data transmitted in the above-mentioned network is explained.

[0027] This JPEG compression image data is data encoded based on JPEG formula of CCITT/ISO which is an international standard method aiming at compressing a color still picture using the frequency characteristic of data, or human being's visual-sense property, and this data is constituted as a layered structure of the image / frame / scan which shows coded data and various marker codes to drawing 2 .

[0028] That is, this JPEG data consists of a SOI (Start Of Image) code, a frame, and an EOI (End Of Image) code, in the case of the data by which hierarchy coding was carried out, the above-mentioned frame consists of two or more frames for every hierarchy, and when hierarchy coding

is not carried out, it consists of a single frame.

[0029] The above-mentioned frame consists of a SOF (Start Of Frame) code, a frame HDR, and a scan, and the above-mentioned scan is SOS (Start Of Scan). It consists of a code, a scanning HDR, and coded data.

[0030] In addition, the above-mentioned scan is brightness data (Y) and two color difference data (Cr, Cb). When treating respectively independently, it consists of two or more scans (when carrying out an interleave), and when treating each data together, it consists of a single scan (non, when carrying out an interleave).

[0031] Next, the algorithm of coding and a decryption in the fundamental base-line system in the above JPEG formulae is explained using drawing 3 and drawing 4.

[0032] First, input image data is divided into a block of 8 pixel x 8 pixel in the blocking circuit 201, and is changed into the horizontal/vertical spatial-frequency component (DCT coefficient) which consists of one sort of dc components (DC), and 63 sorts of alternating current components (AC) by carrying out two-dimensional DCT (discrete cosine transform) of this in the DCT circuit 202.

[0033] Coding processing of each frequency component obtained by this is respectively carried out by the algorithm which a division is carried out, is respectively quantized by the predetermined coefficient (quantization coefficient) by the quantizer 203, and is different of a dc component and an alternating current component after that.

[0034] In addition, the coefficient from which the above-mentioned quantization coefficient is generally different for every frequency component is used, and the quantization coefficient to an important low-pass component is small set up on the visual sense as compared with the quantization coefficient to a high region component.

[0035] It will be cut about the high region component which is not comparatively important by this, and curtailment of the amount of data is collectively achieved.

[0036] the difference which it was asked for the difference with the dc component in the block which the correlation with a contiguity block precedes by the difference circuit 204 about the above-mentioned dc component using a high thing, and was obtained -- a value is formed into 1 dimension Huffman coding with the Huffman-coding-ized vessel 205, and it considers as the coded data of a dc component

[0037] On the other hand, about an alternating current component, the zigzag scan of 63 sorts of above-mentioned alternating current components is visually carried out one by one from the frequency component by the side of low-pass [important] in the scanning circuit 206, it changes into a 1-dimensional array, and it is judged with the judgment vessel 207 whether the value of each component is "0 Value" or they are values (effectiveness factor) other than 0 values.

[0038] About "0 Value", zero run counts by the counter 208 and grouping is carried out by the value about an effectiveness factor in the grouping circuit 209, and two-dimensional Huffman-coding-ization is performed by the combination of the run length and group value which were acquired by these with the Huffman-coding-ized vessel 210, and it considers as the coded data of an alternating current component.

[0039] Here, above-mentioned Huffman coding cuts down the amount of data as whole by assigning short code length by the high thing (dc component therefore, the above the difference a value and an alternating current component combination of a run length and an effectiveness factor) of an occurrence probability.

[0040] Moreover, about what has a low occurrence probability, all patterns can be expressed with the limited number of codes by combining with a predetermined code (ZRL code).

[0041] The above processing is performed in each block unit, and coding of the color still picture of one sheet is ended.

[0042] Then, let each above-mentioned coded data be JPEG compression image data which the above-mentioned marker code etc. is added in the addition circuit 211, and was shown in drawing 3.

[0043] In addition, since an above-mentioned quantization coefficient and an above-mentioned Huffman code can be set up arbitrarily, the data showing the quantization coefficient used for

coding or a Huffman code are added after the above-mentioned SOI code.

[0044] Next, the algorithm of a decryption is explained.

[0045] The algorithm of a decryption is the reverse of a coding algorithm fundamentally, and the decode of the inputted coded data is carried out by the decoder 212 using the Huffman table sent with this data, and it is added with the dc component of a precedence block with an adder 213 about a dc component, is made into the original dc component, rearranges each frequency component decrypted about the alternating current component, and changes it into the original two-dimensional array in a circuit 214.

[0046] Then, it is changed into image data [even if / it performs reverse DCT in the reverse DCT circuit 216 / after reverse-quantizing those frequency components by the reverse quantizer 215,] (decode data).

[0047] The above processing is performed in each block unit, and a decryption of the color still picture of one sheet is ended.

[0048] In addition, although JPEG formula is fundamental, the ***** system which took in further various kinds of hierarchy coding is accepted in this as a JPEG formula, and the above algorithm expresses the modality in above-mentioned SOF code, when this hierarchy coding is performed.

[0049] MPEG compression image data of <MPEG compression image data>, next the various data transmitted in the above-mentioned network is explained.

[0050] This MPEG compression image data is an international canonical aiming at performing bandwidth compression of a dynamic image, and although it uses the frequency characteristic of data, and human being's visual-sense property like previous JPEG formula fundamentally, it is a formula which performs much more bandwidth compression using the redundancy of the orientation still peculiar to a dynamic image of a time-axis.

[0051] Although this MPEG formula has MPEG1 which set the transfer rate to a maximum of 1.5 Mbpses for digital storage medias, and MPEG 2 which planned to abolish the upper limit of a transmission rate and to be used by all transmission systems, such as a both-directions digital multimedia device, digital VTR, ATV, and an optical fiber network, since the fundamental algorithm is almost the same, it uses MPEG1 as the base and explains the algorithm of the data structure, and coding and a decryption.

[0052] In addition, although two or more profiles (a simple profile, a main profile, scalable one, space scalable, highness) have prescribed the usable coding technique in MPEG 2, the typical main profile is the same as that of MPEG1 fundamentally.

[0053] First, the principle of the bandwidth compression formula by this MPEG formula is explained.

[0054] the difference which drops the redundancy of the orientation of a time-axis on taking the inter-frame difference in this bandwidth compression formula, and was obtained by this -- bandwidth compression is collectively realized for data DCT and by carrying out variable-length-coding processing and dropping the redundancy of the orientation of space

[0055] About the redundancy of the above-mentioned time-axis orientation, it is enabled to drop redundancy by taking in time the difference with a precedence or the frame which carries out backward with the frame which a correlation of the continuous frame tends to encode paying attention to a high thing in the case of a dynamic image.

[0056] then, the intra chiefly encoded within a frame in MPEG as shown in drawing 5 -- the difference with the frame preceded in time besides a coded image -- with the forward-prediction coded image (P-picture) which encodes a value It has the both-directions predicting-coding picture image (B-picture) which encodes among values what has the fewest amount of data. the difference with the frame preceded in time or the frame which carries out backward -- the difference with the interpolation frame from a value or both [these] frames -- Each frame by these coding modes is combined in the predetermined sequence.

[0057] in addition, the direction which took the difference with the picture image which carries out backward when a new body appears in a picture image, rather than it takes the difference with the picture image preceded in time -- the difference -- a value may decrease

[0058] then, the both-directions predicting coding above in MPEG -- carrying out -- more --

high -- efficiency compression is performed

[0059] Moreover, in MPEG, in order to acquire each forecast picture image, a motion compensation is performed.

[0060] That is, in the block (macroscopic block) unit which collected [data / brightness] two blocks of the point of 8 pixel x8 pixel about four of 2x2, and color difference data, the difference with the macro block near the correspondence block of a correspondence picture image is taken, by detecting the macro block with few differences, a motion vector is detected and this motion vector is encoded as data.

[0061] Once encoding the picture image preceded in time in case of above motion compensations and predicting coding, the picture image which decoded again is acquired and it considers as a precedence picture image.

[0062] DCT which was explained previously, and Huffman-coding-ization are performed and bandwidth compression of above predicting-coding data and motion vectors is carried out.

[0063] Next, the data structure of this MPEG formula is explained.

[0064] This data structure consists of a layered structure which consists of a video sequence layer, GOP layer, a picture layer, a slice layer, a macro block layer, and a block layer as shown in drawing 6 .

[0065] Hereafter, each class is explained sequentially from drawing Nakashita's layer.

[0066] First, a block layer consists of 8 pixel x8 pixel respectively for every brightness data and color difference data like previous JPEG, and DCT is performed for every unit of this.

[0067] The above-mentioned macroscopic block layer packs [data / brightness] each 1 block of the blocks of 8 pixel x8 pixel mentioned above about 4 blocks and color difference data, attaches a macro block, and makes it the unit of predicting coding which mentions this macro block later, and a motion vector detection in MPEG formula.

[0068] Moreover, the above-mentioned macroscopic block HDR is each data of the motion compensation of each macroscopic block unit, and a quantization step, and 6DCT block within each macroscopic block (Y0, Y1, Y2, Y3, Cr, Cb). The data of whether to have data are included.

[0069] The above-mentioned slice layer consists of one or more macro blocks and the slice HDR which stand in a row in the order of a scanning of a picture image, and it sets constant the quantization step in a series of macro block in the same slice layer. The above-mentioned slice HDR has data about the position and quantization step of a slice, and even if an error occurs in the middle of decode temporarily, it can restore this slice as a unit.

[0070] moreover, a top macro block -- the difference of a dc component -- a value is reset

[0071] The above-mentioned picture layer collects two or more above-mentioned slice layers per one frame, and consists of an HDR which consists of a picture start code etc., and one or more slice layers which follow this.

[0072] Moreover, the code which shows the coding mode of a picture image, and the code which moves and shows the precision (are they a pixel unit or a half-pixel unit?) of a detection are included in the above-mentioned HDR.

[0073] The above-mentioned GOP layer consists of HDRs, such as a time code which shows the time from the beginning of a group start code or a sequence, two or more I frames which follows this, B frames, or P frames.

[0074] The above-mentioned video sequence layer begins from a sequence start code, and is ended in a sequence and code, and two or more GOPs with same control data of picture image size data etc., picture image size, etc. are arranged in the meantime.

[0075] As for MPEG formula with such a data structure, the bit stream for each class is prescribed by the specification.

[0076] Next, the fundamental coding equipment and decryption equipment treating the above MPEG data are explained using drawing 7 and drawing 8 .

[0077] As shown in drawing 7 , the outline configuration of this coding equipment is carried out from the blocking circuit 301, the DCT circuit 302, the quantizer 303, the variable-length-coding machine (VLC) 304, the motion compensation circuit 305, the motion vector detector 306, the rate control circuit 307, the local decoder 308, the output buffer 309, etc.

[0078] moreover, the picture image size made into the object of coding in this coding equipment

is shown in drawing 9 -- as -- 4:2: -- there are 2, 4:2:0, SIF and CIF, and a thing corresponding to QCIF format, and it is carrying out for the picture image size of the above-mentioned SIF format in MPEG1

[0079] In this coding equipment, the image data which should be encoded is considered as an above-mentioned block of 8 pixel x8 pixel in the blocking circuit 301, and is transmitted to the DCT circuit 302 through a switch 310.

[0080] the above-mentioned switch 310 -- input image data -- intra -- what is switched by the picture image or the interchange picture image -- it is -- intra -- in the case of a picture image, it connects at an a-contact, and, in the case of an interchange picture image, connects at a b contact

[0081] intra -- in the case of a picture image, DCT is carried out in the DCT circuit 302, and DCT coefficient obtained by this is once memorized by the buffer 309, after are quantized by ***** 303 and encoding with the variable-length-coding vessel 304 further

[0082] On the other hand, in the case of an interchange picture image, predicting coding with a motion compensation which the above-mentioned switch 310 is connected to contact b, and was explained previously is performed.

[0083] That is, 311 and 312 are the reverse quantizers and reverse DCT circuits which constitute the local decoder 308, and the data quantized by the above-mentioned quantizer 303 are returned by this local decoder 308.

[0084] Moreover, the switch which, as for 313, ****s only in the case of an interchange picture image, as for an adder and 314, and 316 are subtractors, and the image data by which local decode was carried out as mentioned above outputs the correspondence macroscopic block in a predetermined picture image (a precedence picture image, backward picture images, or these interpolation picture images) with reference to the motion vector detected by the motion vector detector 306.

[0085] Subtraction processing of the output of this motion compensation circuit 305 is carried out with input image data by the above-mentioned subtractor 316, the forecast with a motion compensation is obtained, this encodes with the DCT circuit 302, the above-mentioned quantization circuit 303, and the above-mentioned variable-length-coding machine 304, and this forecast is memorized by the above-mentioned buffer 309 by it.

[0086] In addition, the above-mentioned motion vector detector 306 performs the comparison with the image data to be encoded from now on and predetermined reference image data, a motion vector is obtained, and the output of this detector 306 specifies the macro block which the above-mentioned motion compensation circuit 305 is supplied, and the motion compensation circuit 305 should output.

[0087] Moreover, the above-mentioned rate control circuit 307 performs the amount control of signs by switching the quantization step in the above-mentioned quantizer 303 based on the amount of occupancies of the coded data in the above-mentioned buffer.

[0088] The various HDRs which were finally shown previously in the addition circuit 315 are added to coded data, and it sends out as MPEG compression image data corresponding to MPEG formula.

[0089] On the other hand, fundamentally, decode equipment performs a reverse operation of above-mentioned coding, and as shown in drawing 8, it consists of an input buffer 401, the variable length decoder (VLD) 402, the reverse quantizer 403, a reverse DCT circuit 404, a motion compensation circuit 405, an output buffer 406, etc.

[0090] That is, the coded data read from the above-mentioned input buffer 401 one by one is processed in the above-mentioned variable length decoder 402, the reverse quantizer 403, and the reverse DCT circuit 404, and is changed into the data of a space field.

[0091] Moreover, 407 is an adder for adding the forecast from the motion compensation circuit 405 to the output of the above-mentioned reverse DCT circuit 404, and 408 is a switch for choosing the output of the above-mentioned reverse DCT circuit 404, or the output of an adder 407.

[0092] the coding identification code detected in the data appearance circuit which does not illustrate this switch 408 -- being based -- intra -- in the case of a picture image, it connects

at contact a, and, in the case of an interchange picture image, connects at contact b
 [0093] Thus, it once memorizes by the above-mentioned output buffer 406, it is further restored to the original spacial configuration, and the decode data by which decode was carried out are outputted as image data of one frame.

[0094] <ATM format>, next ATM communication format are explained.

[0095] In this ATM communication, as shown in drawing 10, a series of bit stream is divided into two or more fixed-length packets, and each packet consists of an ATM cell of a plurality (four [for example,]).

[0096] Moreover, each ATM cell consists of a packet HDR and a pay load for data, and, generally, as for the above-mentioned HDR, 5 bytes and data are made into 48 bytes.

[0097] Since this ATM communication can perform data transmission by independence (asynchronous) with the bit rate of a network and a transmission rate can be arbitrarily set up with the number of transmission cells per unit time, it is suitable for the transmission system which is intermingled and transmits various data.

[0098] The configuration of a <personal computer>, next the personal computer in drawing 1 is explained.

[0099] Drawing 11 shows the configuration of the personal computer of this example, is alternatively equipped with the Multibus system using the optimum data bus according to the transfer rate which the amount of data of data and processing which are transmitted since this personal computer has various functions while it treats the data corresponding to the various above formulae take, and is equipped with the 128 bit data bus D4 in this example as the 16 bit data bus D1, the 32 bit data bus D2, the 64 bit data bus D3, and an expansion bus.

[0100] Moreover, this personal computer is equipped with the add-in board interface later mentioned in order to make expansion possible, and can aim at an extension of a function now by the various add-in boards connected to this interface.

[0101] Hereafter, it explains in detail.

[0102] 501 is a network interface, and delivers and receives the various data with each above-mentioned transmission channel through the ATM switch 502 within this network interface 501 and this interface.

[0103] 503 are CPU which controls the whole among drawing, and this CPU503 is equipped with the bus controller 504 and the bit converter 505 which constitute the above-mentioned Multibus system as a sub CPU.

[0104] 506 is ROM, 507 is a memory controller, and transfer of external storage 509 and data which has hard disk drive unit 508A, CD-ROM508B, etc. by this memory controller 507 is performed.

[0105] 510 is an edit controller and performs a phase management of the data in the time of a picture image edit etc. by this controller 510.

[0106] 511 is a display interface and the image data delivered from this display interface 511 is displayed on CRT display 513 through memory 512.

[0107] Moreover, this display interface 511 processes suitably according to the modality of display device. In specifically outputting MPEG compression image data decoded by the codec 518 to the FLC display 514, it outputs Y, Cr, the Cb (8 bits each) data 533, and the change block data 534. It is created on the below-mentioned criteria in the case of decoding, and the change block data 534 is transmitted to the display interface 511 with the decoded image data in a codec 518.

[0108] 515 is a printer controller and this printer controller 515 uses the hybrid printer 517 which has two or more printer sections which are [formula / BJ formula, a hot-printing formula / a heat transfer printer 516,] different according to the image data to print properly.

[0109] In addition, you may be made to share the above-mentioned memory 512 by the object for a display, and the object for printers.

[0110] 518 is a codec which performs coding/decryption of data, and is equipped with the codec corresponding to JPEG formula and MPEG formula which were explained previously by this example.

[0111] 519 is the above-mentioned add-in board interface, and plans expansion of a personal

computer by connecting various kinds of add-in boards 520, 521, and 522 through this interface 519.

[0112] 523 is a mouse / keyboard controller and the keyboard 524 and the mouse 525 are connected through this controller 523.

[0113] 526 is the speech processing section and 527 is a voice loudspeaker.

[0114] On the other hand, as for this personal computer, the handwriting input device 529, the voice microphone 530, the video camera 531, and the image scanner 532 are connected through the system port 528.

[0115] Since it has the Multibus system which consists of the above multi-data buses D1, D2, D3, and D4, a bus controller 504, and a bit converter 505, according to the transfer, processing speed, etc. which the amount of data and processing take, the optimum data bus is alternatively used for such a personal computer of a configuration.

[0116] Moreover, a function is extensible with the add-in board connected to the above-mentioned add-in board interface 519.

[0117] <Image display section> drawing 12 is the block diagram showing the configuration of the image processing system of the example of this invention.

[0118] In drawing 12, 1101 is the image-processing section, and performs and outputs a predetermined image processing to the image data of the color space of Y, Cr, and Cb for every pixel by which decode was carried out in the codec 518 of drawing 11. 1102 is the picture image storage section and memorizes the image data processed in the image-processing section 1101. 1103 is a partial rewriting field detecting element, and detects the field which should be preferentially rewritten within one frame from the data from the decryption section. 1104 is a display controller and outputs the image data in the field made into the field which should be rewritten by the partial rewriting detecting element 1103 among the image data memorized by the picture image storage section 1102 with the information which shows the field. 1105 is a display panel using the below-mentioned ferroelectric liquid crystal, and displays a picture image according to the data from a display controller.

[0119] Drawing 13 is the block diagram showing the configuration of the image-processing section 1101.

[0120] In drawing 13, 1201 is a color transducer and changes respectively 8-bit brightness data Y and the color data Cr and Cb into the 8-bit data of R (red), G (green), B (blue), and I (white) from a codec 518. 1202 -- false -- halftone -- processing -- the section -- it is -- R -- G -- B -- I -- a color -- a component -- data -- respectively -- becoming independent -- binary -- izing -- each -- one -- a bit -- R -- ' -- G -- ' -- B -- ' -- I -- ' -- a color -- a component -- data -- outputting . 1203 -- a multiplexer -- it is -- R -- ' -- G -- ' -- B -- ' -- I -- ' -- a color -- a component -- data -- a display panel -- a display -- having **ed -- a data stream -- standing in a line -- changing .

[0121] Drawing 14 is the block diagram showing the configuration of the halftone processing circuit of the false halftone processing section 1202. The technique explained here is called average error minimum method, and is similar to an error diffusion method. this -- halftone -- processing -- a circuit -- R -- ' -- G -- ' -- B -- ' -- I -- ' -- a color -- a component -- receiving -- being the same -- a configuration -- four -- a line -- preparing -- having -- **** .

[0122] The multiple-value data x_{ij} are added with the value which applied weighting-factor α_{k1} specified to be error ϵ_{ij} (difference of amendment data x'_{ij} and the output data y_{ij} which were generated before) saved at the error buffer memory 1303 by the weight attachment circuit 1302, and the adder 1301.

[0123] It is as follows when this is written by the formula.

[0124]

[Outside 1]

$$x'_{ij} = x_{ij} + \left(\sum_k \alpha_{k1} \epsilon_{i+k, j+1} \right) / \sum_k \alpha_{k1}$$

[0125] An example of a weight attachment coefficient is shown in drawing 15 . * of drawing 15 shows the pixel position under present processing.

[0126] Next, amendment data x'_{ij} is compared with threshold (referred to as $D_{max} = 255$ and $T = 127$ here) in the binary-ized circuit 1304, and outputs data y_{ij} . Here, y_{ij} serves as the data made binary. The data made binary are stored in an output buffer 1307, and are outputted as binary data.

[0127] on the other hand -- an arithmetic circuit 1305 -- amendment data x' -- the difference with the value which doubled ij and the output data y_{ij} 255 by the multipliers 1308 -- ϵ_{ij} calculates and this result is stored in the position corresponding to the pixel position 1306 of the error buffer memory 1303. Binary-ization by the average error minimum method is performed by repeating this processing.

[0128] Drawing 16 is the block diagram showing the configuration of the partial rewriting field detecting element 1103.

[0129] In drawing 16, 1401 is change field storage memory and memorizes the field information which change produced to the front frame based on the change block data from a codec 518.

[0130] Specifically, a codec 518 generates a change block data as follows.

[0131] (When a processing-object block is an interchange picture image) The change block data which considers except what fulfills the following two conditions among the decrypted blocks as a change block, and shows the block position is memorized in the change field storage memory 1401.

(1) [0132] whose (2) motion vectors whose difference with a correspondence block of a front frame is a zero are zeros 1402 is the rewriting line address generation section, and outputs the address data of the line as a line which should rewrite and carry out the line which includes at least 1-block change block in a scanning direction.

[0133] (a processing-object block -- intra -- when it is a picture image) this case -- the first intra -- a frame -- $4n$ line (n is an integer) -- the following intra -- a frame -- $4n+1$ line -- the following intra -- a frame -- $4n+2$ line -- the following intra -- it rewrites [$4n+3$ line] with a frame thus -- this example -- intra -- since a screen is compulsorily refreshed with a frame, a display image can be updated a fixed period also about the fraction into which partial rewriting in an interchange frame was not performed, and high-definition image display can be performed

[0134] Drawing 17 is the block diagram showing the function of a display controller 1104.

[0135] A display controller 1104 reads the thing corresponding to the address among the image data memorized by the picture image storage section 1102 based on the rewriting line address data from the rewriting line address generation section 1402, and outputs it as display data with rewriting line address data.

[0136] Drawing 18 is drawing showing the configuration of display data. As for all the data for a display, line address data and the line data of the address are a pair.

[0137] Drawing 19 is the block diagram showing the configuration of a display panel.

[0138] In drawing 19, 1501 is a decoder and supplies a control signal to a driver 1502 that the picture image of the correspondence line should be rewritten according to line address data. A driver 1502 does the dynamic control of the liquid crystal cell of a display panel 1506 per line according to the control signal. 1503 is a shift register and supplies the binary data in every line to line memory parallel. 1504 is line memory and supplies the binary data in which ON/OFF of each liquid crystal cell for one line is shown to a driver 1505. 1505 is a driver and controls each liquid crystal cell of a display panel 1506 according to the binary data from the line memory 1504.

[0139] Drawing 20 is drawing showing the array of each element of a display panel 1506.

[0140] It is the basic unit from which R, G, B, and I of 1601 constitute 1 pixel in drawing 20, and the transparency and cutoff of the white light which are exposed from back are consisted of four independently controllable liquid crystal cells. 4 color filters of R, G, B, and I are arranged to these four liquid crystal cells. Therefore, this basic unit can display the color of 16 colors shown in drawing 21 by the independent control of four liquid crystal cells.

[0141] As a liquid crystal material used for the display panel of this example, especially the suitable thing is chiral smectic liquid crystal, and has a ferroelectricity. Specifically, the liquid crystal of a chiral smectic C phase (SmC^*), a chiral smectic G phase (SmG^*), a chiral smectic F phase (SmF^*), a chiral smectic I phase (SmI^*), and a chiral smectic H phase (SmH^*) can be

used. the example of the ferroelectric liquid crystal compound ***** -- ***** benzo *****-p' - amino-2-methyl butyl cinnamate (DOBAMBC) and a hexyloxy benzylidene-p' - amino-2-chloropropyl cinnamate (HOBACPC) and 4-o-(2-methyl)-butyl ***** -4'-octyl aniline (MBRA8) are raised The biphenyl ester system liquid crystal which shows the phase transition temperature which could use what shows a cholesteric phase by the elevated-temperature side from this, for example, was especially mentioned as the below-mentioned example as a desirable ferroelectric liquid crystal can be used.

[0142] Since it holds in the temperature status that a liquid crystal compound serves as a desired phase when it constitutes an element using these materials, an element can be supported with the copper block by which the heater was embedded if needed.

[0143] Drawing 22 expresses the example of a cell typically for an explanation of a ferroelectric liquid crystal of operation. Hereafter, SmC* is explained for an example as a desired phase.

[0144] Setting to drawing 22, 1701 and 1701' is In₂O₃ and SnO₂. Or it is the substrate (glass plate) covered with the transparent electrode which consists of thin films, such as ITO (Indium-Tin Oxide), and the liquid crystal of SmC* phase which carried out orientation so that the liquid crystal molecular layer 1702 might become perpendicular to a glass side between them is enclosed. 1703 shown by the thick line expresses the liquid crystal molecule, and this liquid crystal molecule forms the helical structure in the orientation of a field of a substrate continuously. The angle of the medial axis 1705 of this helical structure and the shaft orientations of the liquid crystal molecule 1703 to make is expressed as theta. This liquid crystal molecule 1703 has the dipole moment (P**) 1704 in the orientation which intersected perpendicularly with the molecule. If the voltage more than fixed threshold is impressed to inter-electrode [on a substrate 1701 and 1701'], the helical structure of the liquid crystal molecule 1703 can come loose, and the liquid crystal molecule 1703 can change the orientation of orientation so that the dipole moment (P**) 1704 may turn to all in the orientation of the electric field. If the liquid crystal molecule 1703 has the long and slender configuration, and the orientation of a major axis and the orientation of a minor axis show a refractive-index anisotropy, therefore the deflection child of a cross Nicol's prism is mutually put on the upper and lower sides of for example, a glass side, becoming the liquid crystal optical element which changes an optical property by the voltage impression polarity will be understood easily.

[0145] The liquid crystal cell preferably used by the liquid crystal optical element of this example can make the thickness thin (for example, 10micro or less) enough. Thus, as shown in drawing 23, the helical structure of a liquid crystal molecule comes loose also in the status that the electric field are not impressed, and it becomes the non-helical structure, and the dipole-moment P or P' takes one of upward (1714) or downward (1714') status as a liquid crystal layer becomes thin. One half of the angles of the angle which the molecule shaft of this liquid crystal molecule 1713 and 1713' make are called a tilt angle (theta), and this tilt angle (theta) is equal to one half of the vertical angles which the cone when taking the helical structure makes. If 1711' gives the electric-field impression means 1711 for electric-field E or E' from which the polarity more than fixed threshold is different as shown in drawing 23, the dipole moment will look up in such a cell corresponding to the electric field vector of electric-field E or E', 1714 or downward 1714' and the sense will be changed into it, and orientation of the liquid crystal molecule will be carried out to it from the 1st stable state 1713 at any of 2nd stable state 1713', or one side according to it.

[0146] The advantage of using such a ferroelectricity as a liquid crystal optical element is that a speed of response is very quick, and is that the orientation of a liquid crystal molecule has bistability nature.

[0147] As mentioned above, according to this example, about an interchange picture image, the change fraction to a front screen is efficiently detectable using inter-frame motion data.

[0148] moreover, intra -- about a picture image, a degradation of the display image in the display of the above-mentioned ferroelectric liquid crystal which has storage nature can be prevented by refreshing periodically

[0149] In addition, in the FLC display 514, although the codec 518 considered as another field, it may constitute a codec 518 and the display interface 511 from an above-mentioned example in

one with the FLC display 514.

[0150] Moreover, compression formulae may be other coding formulae encoded not only using above-mentioned MPEG formula but using an inter-frame correlation.

[0151] Moreover, you may be other displays with possible a display also rewriting not only FLC but a display image partially.

[0152] Moreover, partial rewriting may be not rewriting of a line unit but rewriting of a block unit.

[0153]

[Effect of the invention] As mentioned above, according to this invention, the fraction which changed from the image data encoded using the correlation of two or more screens to the front screen can be detected efficiently, and the change of partial image display in display is attained.

[0154] moreover, intra -- a degradation of the display image in display can be prevented by making a refreshment operation perform to the timing which displays a picture image

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[An easy explanation of a drawing]

[Drawing 1] It is the block diagram showing the structure of a system containing the image processing system of the 1st example of this invention.

[Drawing 2] It is drawing showing the data structure of JPEG.

[Drawing 3] It is drawing showing the configuration of the coding equipment in JPEG formula.

[Drawing 4] It is drawing showing the configuration of the decryption equipment in JPEG formula.

[Drawing 5] It is drawing explaining the principle of coding in JPEG formula.

[Drawing 6] It is drawing showing the data structure of MPEG.

[Drawing 7] It is drawing showing the configuration of the coding equipment in MPEG formula.

[Drawing 8] It is drawing showing the configuration of the decryption equipment in MPEG formula.

[Drawing 9] It is drawing showing the picture image size set as the object of coding in MPEG formula.

[Drawing 10] It is drawing explaining ATM communication format.

[Drawing 11] It is the block diagram showing the configuration of the personal computer of the 1st example of this invention.

[Drawing 12] It is the block diagram showing the configuration of the image processing system of the 1st example of this invention.

[Drawing 13] It is the block diagram showing the configuration of the image-processing section 1101.

[Drawing 14] It is drawing showing the circuit arrangement of JP false halftone processing section 1202.

[Drawing 15] It is drawing showing the example of the weight attachment coefficient in an error diffusion method.

[Drawing 16] It is drawing showing the configuration of the partial rewriting field detecting element 1103.

[Drawing 17] It is the block diagram showing the function of a display controller 1104.

[Drawing 18] It is drawing showing the configuration of display data.

[Drawing 19] It is the block diagram showing the configuration of a display panel.

[Drawing 20] It is drawing showing the array of the element of a display panel.

[Drawing 21] It is the block diagram showing the configuration of the VCF of a display panel.

[Drawing 22] It is drawing explaining an operation of a ferroelectric liquid crystal.

[Drawing 23] It is drawing explaining a liquid crystal cell.

[An explanation of a sign]

518 Codec

511 Display Controller

514 FLC Display

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-23536

(43) 公開日 平成8年(1996)1月23日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/24

G 0 9 G 3/36

5/00

5/36

5 5 5 A 9377-5H

5 1 0 M 9377-5H

H 0 4 N 7/ 13

Z

審査請求 未請求 請求項の数7 O L (全 16 頁) 最終頁に続く

(21) 出願番号

特願平6-155979

(22) 出願日

平成6年(1994)7月7日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 内尾 裕一

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 吉田 正

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

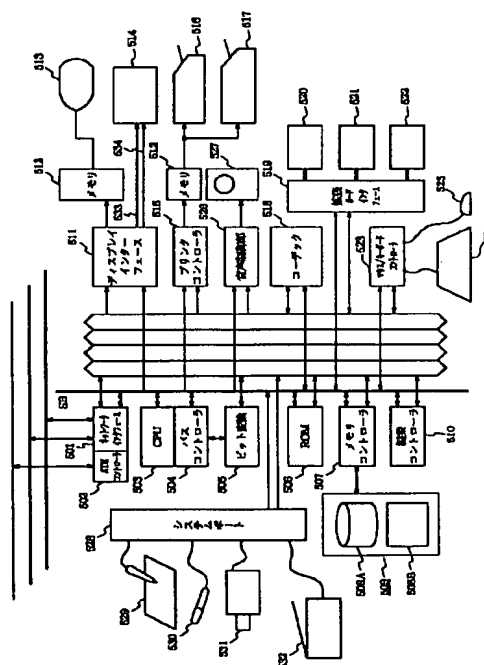
(74) 代理人 弁理士 丸島 儀一

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 複数画面の相関を用いて符号化された画像データから、前画面に対して変化した部分を効率よく検出すること。

【構成】 複数画面の相関を用いて符号化された画像データから、前画面に対して変化した部分を検出する検出手段(518)と、前記検出手段により検出された部分の画像データを表示装置へ出力する出力手段とを有することを特徴とする。



【特許請求の範囲】

【請求項1】 複数の画面の相関を用いて符号化された画像データから、前画面に対して変化した部分を検出する検出手段と、

前記検出手段により検出された部分の画像データを表示装置へ出力する出力手段とを有することを特徴とする画像処理装置。

【請求項2】 複数の画面の相関を用いて符号化された画像データに応じて画像表示を行う表示装置を制御する画像処理装置において、

前記画像データのうち、フレーム内符号化された画像データを表示するタイミングで、前記表示装置にリフレッシュ動作を行わせることを特徴とする画像処理装置。

【請求項3】 前記画像データは、直交変換を用いて符号化されていることを特徴とする請求項1または請求項2に記載の画像処理装置。

【請求項4】 前記画像データは、動きベクトルデータを含むことを特徴とする請求項1または請求項2に記載の画像処理装置。

【請求項5】 前記出力手段は、前記画像データと共に前記検出手段により検出された部分の位置を示す情報を出力することを特徴とする請求項1に記載の画像処理装置。

【請求項6】 前記表示装置は、表示画像を部分的に書き換えることが可能であることを特徴とする請求項1または請求項2に記載の画像処理装置。

【請求項7】 前記表示装置は、強誘電性液晶を用いた表示装置であることを特徴とする請求項1または請求項2に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、符号化された画像データに応じて、表示装置による画像表示を行うための画像処理装置に関する。

【0002】

【従来の技術】 双安定性を有する液晶素子の使用がクラーク（Clark）及びラガウェル（Lagerwall）により提案されている（米国特許第4,367,924号明細書等）。また、このような液晶を用いた表示パネルの駆動方式が、例えば米国特許第4,655,561号において提案されている。

【0003】

【発明が解決しようとする課題】 かかる駆動方式によれば、一走査線選択時に双安定性配向状態の一方または他方の配向状態を確実に生じさせるのに十分な波高値とパルス幅を持つ一方または他方極性パルスを印加する必要がある。例えば、一走査線選択時間が $150\mu\text{sec}$ であったとすると走査線本数が400本の場合での一垂直走査時間（一フレーム走査時間）は、 $60\mu\text{sec}$ で、フレーム周波数は16.7となり、更に走査線本数の増

大に応じてフレーム周波数が低下していくことになる。

【0004】 このため、動画像を一定のフレームレートで表示させるためには、一フレーム内において走査するラインを減少させる必要が生じる。

【0005】 そこで、本発明は、複数の画面の相関を用いて符号化された画像データから前画面に対して変化した部分を効率よく検出し、表示装置における部分的な画像表示の変更が可能とすることを目的とする。

【0006】 また、イントラ画像を表示するタイミングでリフレッシュ動作を行わせることにより、表示装置における表示画像の劣化を防止することを目的とする。

【0007】

【課題を解決するための手段及び作用】 上記目的を達成するため、本発明の画像処理装置は、複数の画面の相関を用いて符号化された画像データから、前画面に対して変化した部分を検出する検出手段と、前記検出手段により検出された部分の画像データを表示装置へ出力する出力手段とを有することを特徴とする。

【0008】 また、複数の画面の相関を用いて符号化された画像データに応じて画像表示を行う表示装置を制御する画像処理装置において、前記画像データのうち、フレーム内符号化された画像データを表示するタイミングで、前記表示装置にリフレッシュ動作を行わせることを特徴とする。

【0009】

【実施例】

（実施例1）

<システム> 図1は、本発明の第1の実施例の画像処理装置を含むシステムの構成を示すブロック図である。

【0010】 図1において、101はATM（非同期転送モード）にてJPEGやMPEG等の各種方式にて符号化処理された画像データ等の各種データを転送するATMネットワーク、102、103はATM以外のモードにてデータを転送するイーサネット等を用いたローカルエリアネットワーク（LAN）、105はATMネットワークに接続され、画像データの圧縮、伸長機能を有するファクシミリ装置、107は内部にページメモリを有し、受信した圧縮データから伸長した画像データに基づいた像形成を行うカラープリンタである。

【0011】 109はカラーリーダ、カラープリンタを含むカラー複写機であって、カラーリーダで読み取った原稿の画像データを例えばJPEG方式に基づいて圧縮する圧縮回路、圧縮された画像データが書き込まれるページメモリ、ページメモリに書き込まれた圧縮画像データを読み出してプリンタに供給するために伸長する伸長回路を含む。

【0012】 111はATMネットワークを介して入力される画像データを一旦蓄えるファイルサーバー、113はこのファイルサーバーにデータを入出力するためのワークステーション、115はATMネットワークと接

続されるPC（パソコン）であり、このパソコン115は上述のローカルエリアネットワークとの間でMPEGデータやJPEGデータの授受を行ない、データの符号化・復号化を行うとともに各種画像データの編集等の各種処理を行う。

【0013】また、このパソコン115は上記プリンタ107等と上記ネットワーク回線103又は専用線を介して接続されている。

【0014】117は111と同様のサーバーであって、前記サーバ111と同様の構成である。

【0015】かかるサーバー117には前述のカラー複写機109と同様のカラー複写機119と接続されている。

【0016】121はATMネットワークに接続されているデジタルテレビであり、このデジタルテレビはATMネットワークを介して入力されるMPEGあるいはJPEG方式の符号化データを受信し、これを復号して可視像としてCRTディスプレイ装置に表示する。

【0017】なお、かかるモニターは後述のようなFLCとよばれる強誘電性液晶を用いたディスプレイ装置であってよい。

【0018】123はATMネットワークを介して入力されたMPEGあるいはJPEG圧縮画像データを受信するVTRである。

【0019】かかるVTR123はATMネットワーク回線から入力されたMPEGあるいはJPEG圧縮画像データを圧縮された符号化データのまま又は所定の信号処理を行ってテープに記録する。

【0020】また、このVTR123は外部から受信した非圧縮データをMPEGあるいはJPEG方式に基づいて圧縮してテープに記録するための画像データ圧縮器を有している。

【0021】127はATMネットワークにMPEGあるいはJPEG圧縮画像データ方式にて圧縮されたデータを送出するCATV局である。

【0022】このCATV局127は図示したようにATMネットワーク回線を介して放送用のデータを出力する。

【0023】129はATMネットワークに他のATMネットワークを接続するためのルータである。

【0024】131は他のローカルエリアネットワークと接続するためのルータである。

【0025】また、ファクシミリ装置105とプリンタ107とカラー複写機111とATMネットワークとの間には不図示のATMネットワークスイッチが設けられている。

【0026】＜JPEG圧縮画像データ＞次に、上記ネットワークにて伝送される各種データの内のJPEG圧縮画像データについて説明する。

【0027】このJPEG圧縮画像データは、データの

周波数特性や人間の視覚特性を利用してカラー静止画の圧縮を行うことを目的とした国際標準方式であるCCITT/ISOのJPEG方式に基づいて符号化されたデータであり、このデータは符号化データ及び各種マーカーコードを図2に示すようなイメージ/フレーム/スキンの階層構造として構成している。

【0028】即ち、このJPEGデータはSOI (Start Of Image)コード、フレーム、EOI (End Of Image)コードから構成され、上記フレームは階層符号化されたデータの場合には各階層毎に複数のフレームから成り、階層符号化されていない場合には単一のフレームにて構成される。

【0029】上記フレームはSOF (Start Of Fraim)コード、フレームヘッダ及びスキャンから構成され、上記スキャンはSOS (Start Of Scan) コード、スキャンヘッダ及び符号化データにて構成されている。

【0030】なお、上記スキャンは、輝度データ(Y)と2つの色差データ(Cr,Cb)を各々独立して扱う場合（インタリーブさせる場合）には複数のスキャンから構成され、各データを一緒に扱う場合（ノンインタリーブさせる場合）には単一のスキャンにて構成される。

【0031】次に、上述のようなJPEG方式における基本的なベースライン・システムにおける符号化・復号化のアルゴリズムについて図3及び図4を用いて説明する。

【0032】まず、入力画像データはブロック化回路201にて8画素×8画素のブロックに分割し、これをDCT回路202にて2次元DCT（離散コサイン変換）することによって1種の直流成分(DC)と63種の交流成分(AC)から成る水平/垂直の空間周波数成分(DCT係数)に変換する。

【0033】これによって得られた各周波数成分は、量子化器203にて各々所定の係数（量子化係数）にて除算されて量子化され、その後直流成分と交流成分とで異なるアルゴリズムによって各々符号化処理される。

【0034】なお、上記量子化係数は、一般に周波数成分毎に異なる係数が用いられており、視覚上重要な低域成分に対する量子化係数は高域成分に対する量子化係数に比して小さく設定されている。

【0035】これによって、比較的重要でない高域成分についてはカットされることになり、全体としてデータ量の削減が図られる。

【0036】上記直流成分については隣接ブロックとの相関が高いことを利用して、差分回路204にて先行するブロックにおける直流成分との差分が求められ、得られた差分値をハフマン符号化器205にて1次元ハフマン符号化して直流成分の符号化データとされる。

【0037】一方、交流成分については、上述の63種の交流成分をスキャン回路206にて視覚的に重要な低域側の周波数成分から順次ジグザグスキャンして1次元

10

20

30

40

50

の配列に変換し、判定器207にて各成分の値が「0値」であるか0値以外の値（有効係数）であるか判定される。

【0038】「0値」については、カウンタ208にて0ランがカウントされ、有効係数についてはグループ化回路209にてその値によってグループ化され、これらによって得られたランレングスとグループ値との組み合わせによりハフマン符号化器210にて2次元ハフマン符号化が行われて交流成分の符号化データとされる。

【0039】ここで、上述のハフマン符号は、生起確率の高いもの（直流成分については上記差分値、交流成分についてはランレングスと有効係数との組み合わせ）により短い符号長を割り当てることによって全体としてのデータ量を削減する。

【0040】また、生起確率が低いものについては所定のコード（ZRLコード）と組み合わせることによって有限のコード数にてすべてのパターンを表すことができる。

【0041】以上の処理を各ブロック単位で行って1枚のカラー静止画の符号化を終了する。

【0042】その後、上記各符号化データは、付加回路211にて前述のマークコード等が付加されて図3に示したJPEG圧縮画像データとされる。

【0043】なお、上述の量子化係数やハフマンコードは任意に設定することができるため、符号化に用いられた量子化係数やハフマンコードを表すデータが上記SOFコードの後に付加される。

【0044】次に、復号化のアルゴリズムについて説明する。

【0045】復号化のアルゴリズムは基本的に符号化アルゴリズムの逆であり、入力された符号化データはこのデータと共に送られたハフマンテーブルを用いて復号器212にて復号され、直流成分については加算器213にて先行ブロックの直流成分と加算されて元の直流成分とされ、交流成分については復号化された各周波数成分を並び換え回路214にて元の2次元配列に変換する。

【0046】その後、それらの周波数成分を逆量子化器215にて逆量子化した後、逆DCT回路216にて逆DCTを行ってもとの画像データ（復号データ）に変換される。

【0047】以上の処理を各ブロック単位で行って1枚のカラー静止画の復号化を終了する。

【0048】なお、以上のアルゴリズムはJPEG方式の基本的なものであるが、これに更に各種の階層符号化を取り入れたエクステンデッド・システムがJPEG方式として認められており、この階層符号化を行った場合には上記SOFコードによってその種類を表すようになっている。

【0049】＜MPEG圧縮画像データ＞次に、上記ネットワークにて伝送される各種データの内のMPEG圧

縮画像データについて説明する。

【0050】このMPEG圧縮画像データは、動画像の高効率符号化を行うことを目的とした国際標準であり、基本的には先のJPEG方式と同様にデータの周波数特性や人間の視覚特性を利用するが、更に動画像特有の時間軸方向の冗長度を利用して一層の高効率符号化を行う方式である。

【0051】このMPEG方式は、デジタルストレージメディア用に転送レートを最大1.5MbpsとしたMPEG1と、伝送レートの上限をなくし双方向デジタルマルチメディア機器、デジタルVTR、ATV、光ファイバネットワーク等の全ての伝送系で用いられることを企図したMPEG2があるが、基本的なアルゴリズムはほぼ同様であるのでMPEG1をベースとしてそのデータ構造及び符号化・復号化のアルゴリズムを説明する。

【0052】なお、MPEG2では、使用可能な符号化方法を複数のプロフィール（シンプル・プロフィール、メイン・プロフィール、スケーラブル、空間スケーラブル、ハイ）によって規定しているが、代表的なメイン・プロフィールは基本的にMPEG1と同様である。

【0053】まず、このMPEG方式による高効率符号化方式の原理について説明する。

【0054】この高効率符号化方式においては、フレーム間の差分を取ることで時間軸方向の冗長度を落とし、これによって得られた差分データをDCT及び可変長符号化処理して空間方向の冗長度を落とすことによって全体として高効率符号化を実現する。

【0055】上記時間軸方向の冗長度については、動画像の場合には連続したフレームの相関が高いことに着目し、符号化しようとするフレームと時間的に先行又は後行するフレームとの差分を取ることで冗長度を落とすことが可能となる。

【0056】そこで、MPEGでは、図5に示すように専らフレーム内で符号化するイントラ符号化画像の他に、時間的に先行するフレームとの差分値を符号化する前方予測符号化画像（P-ピクチャ）と、時間的に先行するフレーム又は後行するフレームとの差分値或はそれら両フレームからの補間フレームとの差分値の内最もデータ量が少ないものを符号化する両方向予測符号化画像（B-ピクチャ）とを有し、これらの符号化モードによる各フレームを所定の順序で組み合わせている。

【0057】なお、画像中で新たな物体が現れた場合には、時間的に先行する画像との差分を取るよりも後行する画像との差分を取った方がその差分値が少なくなる場合がある。

【0058】そこで、MPEGでは上述のような両方向予測符号化を行い、より高効率な圧縮を行っている。

【0059】また、MPEGでは各予測画像を得るために動き補償を行う。

【0060】即ち、先の8画素×8画素のブロックを輝

度データについて 2×2 の4つ、色差データについて2つ集めたブロック（マクロブロック）単位で、対応画像の対応ブロック近傍のマクロブロックとの差分をとり、一番差が少ないマクロブロックを検出することによって動きベクトルを検出し、この動きベクトルをデータとして符号化する。

【0061】上述のような動き補償及び予測符号化に際しては、時間的に先行する画像を一旦符号化した後、再度復号した画像を得て先行画像とされる。

【0062】上述のような予測符号化データ及び動きベクトルは先に説明したようなDCT及びハフマン符号化が行われて高能率符号化される。

【0063】次に、このMPEG方式のデータ構造について説明する。

【0064】このデータ構造は、図6に示すようにビデオシーケンス層、GOP層、ピクチャ層、スライス層、マクロブロック層、ブロック層から成る階層構造で構成されている。

【0065】以下、各層について図中下の層から順に説明する。

【0066】まず、ブロック層は先のJPEGと同様に輝度データ及び色差データ毎に8画素 \times 8画素で各々構成され、この単位毎にDCTが行われる。

【0067】上記マクロブロック層は、上述した8画素 \times 8画素のブロックを輝度データについては4ブロック、色差データについては各1ブロックまとめ、マクロブロックを付したものであり、MPEG方式ではこのマクロブロックを後述する予測符号化、動きベクトル検出の単位とする。

【0068】また、上記マクロブロックヘッダは、各マクロブロック単位の動き補償及び量子化ステップの各データ、及び各マクロブロック内の6つDCTブロック(Y0, Y1, Y2, Y3, Cr, Cb) がデータを有するか否かのデータを含む。

【0069】上記スライス層は、画像の走査順に連なる1つまたは複数のマクロブロック及びスライスヘッダで構成され、同一スライス層内の一連のマクロブロックにおける量子化ステップは一定とされる。上記スライスヘッダは、スライスの位置及び量子化ステップに関するデータを有し、仮に復号の途中でエラーが発生してもこのスライスを単位として復旧し得るようになっている。

【0070】また、先頭のマクロブロックは直流成分の差分値をリセットする。

【0071】上記ピクチャ層は、上述のスライス層を1フレーム単位で複数集めたものであり、ピクチャスタートコード等からなるヘッダと、これに続く1つまたは複数のスライス層とから構成される。

【0072】また、上記ヘッダには画像の符号化モードを示すコードや動き検出の精度（画素単位か半画素単位か）を示すコードを含む。

【0073】上記GOP層は、グループスタートコードやシーケンスの最初からの時間を示すタイムコード等のヘッダと、これに続く複数のIフレーム、Bフレーム又はPフレームから構成される。

【0074】上記ビデオシーケンス層は、シーケンススタートコードから始まりシーケンスエンドコードで終了し、その間に画像サイズデータ等の制御データ及び画像サイズ等が同じ複数のGOPが配列される。

【0075】このようなデータ構造を持つMPEG方式は、その規格にて各層毎のビットストリームが規定されている。

【0076】次に、上述のようなMPEGデータを扱う基本的な符号化装置及び復号化装置について図7及び図8を用いて説明する。

【0077】この符号化装置は、図7に示すようにブロック化回路301、DCT回路302、量子化器303、可変長符号化器(VLC)304、動き補償回路305、動きベクトル検出器306、レート制御回路307、局部復号器308、出力バッファ309等から概略構成されている。

【0078】また、この符号化装置において符号化の対象とする画像サイズは図9に示すように4:2:2、4:2:0、SIF、CIF、QCIFフォーマットに対応したものがあり、MPEG1では上記SIFフォーマットの画像サイズを対象としている。

【0079】この符号化装置において、符号化すべき画像データはブロック化回路301にて上述の8画素 \times 8画素のブロックとされ、スイッチ310を介してDCT回路302に伝送される。

【0080】上記スイッチ310は、入力画像データがインタラ画像かインタ画像かで切り換えられるものであり、インタラ画像の場合にはa接点に接続され、インタ画像の場合にはb接点に接続される。

【0081】インタラ画像の場合にはDCT回路302にてDCTされ、これによって得られたDCT係数は量子化器303にて量子化され、更に可変長符号化器304にて符号化された後、一旦バッファ309に記憶される。

【0082】一方、インタ画像の場合には上記スイッチ310は接点bに接続されて先に説明した動き補償付きの予測符号化が行われる。

【0083】即ち、311、312は局部復号器308を構成する逆量子化器、逆DCT回路であり、上記量子化器303にて量子化されたデータはこの局部復号器308にて元に戻される。

【0084】また、313は加算器、314はインタ画像の場合のみ閉成されるスイッチ、316は減算器であり、上述のように局部復号された画像データは、動きベクトル検出回路306にて検出された動きベクトルを参照して所定の画像（先行画像、後行画像又はこれらの補

間画像)における対応マクロブロックを出力する。

【0085】この動き補償回路305の出力は上記減算器316にて入力画像データと減算処理され、これによって動き補償付きの予測値が得られ、この予測値は上述のDCT回路302、量子化回路303及び可変長符号化器304にて符号化されて上記バッファ309に記憶される。

【0086】なお、上記動きベクトル検出器306は、これから符号化する画像データと、所定の参照画像データとの比較を行って動きベクトルを得るものであり、この検出器306の出力は上記動き補償回路305に供給されて動き補償回路305が出力すべきマクロブロックを指定する。

【0087】また、上記レート制御回路307は上記バッファにおける符号化データの占有量に基づいて上記量子化器303における量子化ステップを切り換えることによって符号量制御を行う。

【0088】最後に付加回路315にて先に示したような各種ヘッダを符号化データに付加してMPEG方式に対応したMPEG圧縮画像データとして送出する。

【0089】一方、復号装置は、基本的には上述の符号化の逆の動作を行うものであり、図8に示すように入力バッファ401、可変長復号器(VLD)402、逆量子化器403、逆DCT回路404、動き補償回路405、出力バッファ406等から構成されている。

【0090】即ち、上記入力バッファ401から順次読み出される符号化データは上記可変長復号器402、逆量子化器403、逆DCT回路404にて処理されて空間領域のデータに変換される。

【0091】また、407は上記逆DCT回路404の出力に動き補償回路405からの予測値を加算するための加算器であり、408は上記逆DCT回路404の出力または加算器4070の出力を選択するためのスイッチである。

【0092】このスイッチ408は、図示しないデータ検出回路に検出された符号化識別符号に基づいてインタ画像の場合には接点aに接続され、インタ画像の場合には接点bに接続される。

【0093】このように復号された復号データは上記出力バッファ406にて一旦記憶され、更に元の空間配置に復元されて1フレームの画像データとして出力される。

【0094】<ATMフォーマット>次に、ATM通信フォーマットについて説明する。

【0095】このATM通信においては、図10に示すように一連のビットストリームを複数の固定長パケットに分割し、各パケットを複数(例えば4つ)のATMセルにて構成する。

【0096】また、各ATMセルはパケットヘッダとデータ用のペイロードとから構成され、一般的に上記ヘッ

ダは5バイト、データが48バイトとされている。

【0097】このATM通信は、ネットワークのビットレートとは独立(非同期)でデータ伝送を行うことができ、単位時間当りの伝送セル数によって伝送レートを任意に設定することができるため、種々のデータを混在して伝送する伝送系に適している。

【0098】<パソコン>次に、図1におけるパソコンの構成について説明する。

【0099】図11は本実施例のパソコンの構成を示すものであり、このパソコンは上述のような各種方式に対応したデータを扱うとともに、種々の機能を有するために伝送されるデータのデータ量及び処理に要する転送速度に応じて最適なデータバスを選択的に用いるマルチバスシステムを備えており、本実施例においては16bitデータバスD1、32bitデータバスD2、64bitデータバスD3及び拡張バスとして128bitデータバスD4を備えている。

【0100】また、このパソコンは、機能拡張を可能とするために後述する拡張ボードインタフェースを備えており、このインタフェースに接続される各種拡張ボードによって機能の拡張を図り得るようになっている。

【0101】以下、詳細に説明する。

【0102】501はネットワークインタフェースであり、このネットワークインタフェース501及びこのインタフェース内のATMスイッチ502を介して上記各伝送チャンネルとの各種データの授受を行う。

【0103】図中、503は全体の制御を行うCPUであり、このCPU503はサブCPUとして上記マルチバスシステムを構成するバスコントローラ504及びビット変換器505を備えている。

【0104】506はROM、507はメモリコントローラであり、このメモリコントローラ507によってハードディスク装置508AやCD-ROM508B等を有する外部記憶装置509とデータの授受を行う。

【0105】510は編集コントローラであり、このコントローラ510によって画像編集時等におけるデータの位相管理等を行う。

【0106】511はディスプレイインタフェースであり、このディスプレイインタフェース511から送出される画像データはメモリ512を介してCRTディスプレイ513に表示される。

【0107】また、このディスプレイインタフェース511は表示デバイスの種類に応じて適宜処理を行う。具体的には、FLCディスプレイ514に対してコーデック518によってデコードされたMPEG圧縮画像データを出力する場合には、Y、Cr、Cb(各8ビット)データ533と変化ブロックデータ534を出力する。変化ブロックデータ534は、コーデック518でのデコードの際に、後述の基準で作成され、デコードされた画像データと共にディスプレイインタフェース5

11に伝送される。

【0108】515はプリンタコントローラであり、このプリンタコントローラ515はプリントする画像データに応じて熱転写プリンタ516やBJ方式と熱転写方式等の異なる複数のプリンタ部を有するハイブリッドプリンタ517を使い分ける。

【0109】なお、上記メモリ512をディスプレイ用とプリンタ用とで共用するようにしてもよい。

【0110】518はデータの符号化/復号化を行うコーデックであり、本実施例では先に説明したようなJPE
EG方式及びMPEG方式に対応したコーデックを備えている。

【0111】519は上記拡張ボードインタフェースであり、このインタフェース519を介して各種の拡張ボード520、521、522を接続することによってパソコンの機能拡張を図るようになっている。

【0112】523はマウス/キーボードコントローラであり、このコントローラ523を介してキーボード524及びマウス525が接続される。

【0113】526は音声処理部、527は音声スピー
カである。

【0114】一方、このパソコンはシステムポート528を介して手書き入力機器529、音声マイク530、ビデオカメラ531及びイメージスキャナ532が接続される。

【0115】このような構成のパソコンは、上述のようなマルチデータバスD1、D2、D3、D4、バスコントローラ504及びビット変換器505からなるマルチバスシステムを備えているため、データ量や処理に要する転送：処理速度等に応じて最適なデータバスを選択的に使用する。

【0116】また、上記拡張ボードインタフェース519に接続される拡張ボードによって機能の拡張を行うことができる。

【0117】＜画像表示部＞図12は、本発明の実施例の画像処理装置の構成を示すブロック図である。

【0118】図12において、1101は画像処理部であり、図11のコーデック518において復号された画素ごとのY、Cr、Cbの色空間の画像データに対して所定の画像処理を施し出力する。1102は画像記憶部であり、画像処理部1101で処理された画像データを記憶する。1103は部分書き換え領域検出部であり、復号化部からのデータから一フレーム内で優先的に書き換えるべき領域を検出する。1104はディスプレイコントローラであり、画像記憶部1102に記憶された画像データのうち、部分書き換え検出部1103により書き換えるべき領域とされた領域内の画像データをその領域を示す情報と共に出力する。1105は後述の強誘電性液晶を用いたディスプレイパネルであり、ディスプレイコントローラからのデータに応じて画像を表示する。

【0119】図13は、画像処理部1101の構成を示すブロック図である。

【0120】図13において、1201は色変換部であり、コーデック518からの各々8ビットの輝度データY、色データCr、Cbを各々8ビットのR（レッド）、G（グリーン）、B（ブルー）、I（ホワイト）のデータに変換する。1202は疑似中間調処理部であり、R、G、B、Iの色成分データを各々独立して2値化し、各々1ビットのR'、G'、B'、I'の色成分データを出力する。1203はマルチプレクサであり、R'、G'、B'、I'の色成分データをディスプレイパネルの表示に則したデータ列に並び変える。

【0121】図14は、疑似中間調処理部1202の中間調処理回路の構成を示すブロック図である。ここで説明する方法は平均誤差最小法と呼ばれ、誤差拡散法に類するものである。この中間調処理回路は、R'、G'、B'、I'の色成分に対して同様の構成で4系統設けられている。

【0122】多値データ x_{ij} はエラーバッファメモリ1303に保存されている誤差 ε_{ij} （以前に発生した補正データ x'_{ij} と出力データ y_{ij} との差）に重みづけ回路1302により指定された重み係数 α_{kl} をかけた値と、加算器1301で加算される。

【0123】これを式で書くと以下ようになる。

【0124】

【外1】

$$x'_{ij} = x_{ij} + \left(\sum_{kl} \alpha_{kl} \varepsilon_{i+k, j+l} \right) / \sum_{kl} \alpha_{kl}$$

【0125】重みづけ係数の一例を図15に示す。図15の*は現在処理中の画素位置を示す。

【0126】次に補正データ x'_{ij} は2値化回路1304でしきい値（ここでは $D_{thr} = 255$ 、 $T = 127$ とした）と比較され、データ y_{ij} を出力する。ここで、 y_{ij} は2値化されたデータとなっている。2値化されたデータは出力バッファ1307に格納され、2値データとして出力される。

【0127】一方、演算回路1305では補正データ x'_{ij} と出力データ y_{ij} をマルチプライア1308で255倍した値との差分 ε_{ij} が演算され、この結果はエラーバッファメモリ1303の画素位置1306に対応する位置に格納される。この処理を繰り返すことにより平均誤差最小法による2値化が行われる。

【0128】図16は、部分書き換え領域検出部1103の構成を示すブロック図である。

【0129】図16において、1401は変化領域記憶メモリであり、コーデック518からの変化ブロックデータに基づき、前フレームに対して変化が生じた領域情報を記憶する。

【0130】具体的には、コーデック518は下記のよう
うにして変化ブロックデータを生成する。

【0131】(処理対象ブロックがインタ画像の場合) 復号化されたブロックのうち以下の2つの条件を満たすもの以外を変化ブロックとしてそのブロック位置を示す変化ブロックデータを変化領域記憶メモリ1401に記憶する。

- (1) 前フレームの対応ブロックとの差分がゼロである
- (2) 動きベクトルがゼロである

【0132】1402は書き換えラインアドレス発生部であり、走査方向において少なくとも1ブロックの変化ブロックを含むラインを書き換えすべきラインとしてそのラインのアドレスデータを出力する。

【0133】(処理対象ブロックがイントラ画像の場合) この場合には、最初のイントラフレームで4nライン目(nは整数)を、次のイントラフレームで4n+1ライン目を、次のイントラフレームで4n+2ライン目を、次のイントラフレームで4n+3ライン目を書き換える。このように本実施例ではイントラフレームで強制的に画面のリフレッシュを行うので、インターフレームにおける部分書換が行われなかった部分についても一定周期で表示画像を更新することができ、高画質の画像表示を行うことができる。

【0134】図17は、ディスプレイコントローラ1104の機能を示すブロック図である。

【0135】ディスプレイコントローラ1104は、書き換えラインアドレス発生部1402からの書き換えラインアドレスデータに基づき、画像記憶部1102に記憶された画像データのうち、そのアドレスに対応するものを読み出し、書き換えラインアドレスデータと共にディスプレイデータとして出力する。

【0136】図18は、ディスプレイデータの構成を示す図である。表示用データはすべてラインアドレスデータとそのアドレスのラインデータが対になっている。

【0137】図19は、ディスプレイパネルの構成を示すブロック図である。

【0138】図19において、1501はデコーダでありラインアドレスデータに応じてその対応ラインの画像を書き換えるべく制御信号をドライバー1502に供給する。ドライバー1502はその制御信号に応じてディスプレイパネル1506の液晶セルをライン単位にダイナミック制御する。1503はシフトレジスタであり1ラインごとの2値データをラインメモリにバラレルに供給する。1504はラインメモリであり、1ライン分の液晶セル各々のON/OFFを示す2値データをドライバー1505に供給する。1505はドライバーであり、ラインメモリ1504からの2値データに応じて、ディスプレイパネル1506の各液晶セルを制御する。

【0139】図20は、ディスプレイパネル1506の各素子の配列を示す図である。

【0140】図20において1601のR、G、B、Iが1画素を構成する基本ユニットであり、後方から露光

される白色光の透過と遮断を独立に制御可能な4個の液晶セルからなる。これら4個の液晶セルに対して、R、G、B、Iの4色フィルタが配置されている。したがって、この基本ユニットは、4個の液晶セルの独立制御により図21に示す16色の色を表示することができる。

【0141】本実施例のディスプレイパネルに用いる液晶材料として、特に適したものは、カイラルスメクチック液晶であって、強誘電性を有するものである。具体的にはカイラルスメクチックC相(SmC*)、カイラルスメクチックG相(SmG*)、カイラルスメクチックF相(SmF*)、カイラルスメクチックI相(SmI*)、カイラルスメクチックH相(SmH*)の液晶を用いることができる。その強誘電性液晶化合物の具体例としては、デシロキシベンジリデン-p'-アミノ-2-メチルブチルシナメート(DOBAMBC)、ヘキシロキシベンジリデン-p'-アミノ-2-クロロプロピルシナメート(HOBACPC)、4-o-(2-メチル)-ブチルレゾルシリデン-4'-オクチルアニリン(MBRA8)があげられる。特に好ましい強誘電性液晶としては、これより高温側でコレステリック相を示すものを用いることができ、例えば後述の実施例に挙げた相転移温度を示すビフェニルエステル系液晶を用いることができる。

【0142】これらの材料を用いて素子を構成する場合、液晶化合物が所望の相となるような温度状態に保持するため、必要に応じて素子をヒーターが埋め込まれた銅ブロックなどにより支持することができる。

【0143】図22は、強誘電性液晶の動作説明のために、セルの例を模式的に表現したものである。以下、所望の相としてSmC*を例にとって説明する。

【0144】図22において、1701と1701'はIn₂O₃、SnO₂、或はITO(Indium-Tin Oxide)などの薄膜からなる透明電極が被覆された基板(ガラス板)であり、その間に液晶分子層1702がガラス面に垂直になるように配向したSmC*相の液晶が封入されている。太線で示した1703が液晶分子を表しており、この液晶分子は基板の面方向に連続的にらせん構造を形成している。このらせん構造の中心軸1705と液晶分子1703の軸方向とのなす角度を Θ として表す。この液晶分子1703は、その分子に直交した方向に双極子モーメント(P \perp)1704を有している。基板1701と1701'上の電極間に一定のしきい値以上の電圧を印加すると、液晶分子1703のらせん構造がほどけ、双極子モーメント(P \perp)1704がすべて電界方向に向くよう、液晶分子1703は配向方向を変えることができる。液晶分子1703は、細長い形状を有しており、その長軸方向と短軸方向で屈折率異方性を示し、したがって例えばガラス面の上下に互いにクロスニコルの偏向子を置けば、電圧印加極性によって光学特性が変わる液晶光学素子となることは、容易

に理解される。

【0145】本実施例の液晶光学素子で好ましく用いられる液晶セルは、その厚さを十分に薄く（例えば10μ以下）することができる。このように液晶層が薄くなるにしたがい、図23に示すように電界を印加していない状態でも液晶分子のらせん構造がほどけ、非らせん構造となり、その双極子モーメントPまたはP'は上向き（1714）または下向き（1714'）のどちらかの状態をとる。この液晶分子1713の分子軸と1713'のなす角度の1/2の角度をチルト角（Θ）と称し、このチルト角（Θ）はらせん構造を取る時のコーンのなす頂角の1/2に等しい。このようなセルに、図23に示すごとく一定のしきい値以上の極性の異なる電界EまたはE'を電界印加手段1711を1711'により付与すると、双極子モーメントは、電界EまたはE'の電界ベクトルに対応して上向き1714または下向き1714'と向きを変え、それに応じて液晶分子は、第1の安定状態1713から第2の安定状態1713'のいずれか一方に配向する。

【0146】このような強誘電性を液晶光学素子として用いることの利点は、応答速度が極めて速いことであり、また液晶分子の配向が双安定性を有することである。

【0147】以上の様に、本実施例によれば、インタ画像についてはフレーム間の動きデータを用いて効率よく前画面に対する変化部分を検出することができる。

【0148】また、イントラ画像については、周期的にリフレッシュを行うことにより、記憶性を有する上述の強誘電性液晶の表示装置における表示画像の劣化を防止することができる。

【0149】なお、上述の実施例ではコーデック518はFLCディスプレイ514とは別体としたが、コーデック518、ディスプレイインターフェース511とをFLCディスプレイ514と一体的に構成してもよい。

【0150】また、圧縮方式は上述のMPEG方式に限らず、フレーム間の相関を用いて符号化する他の符号化方式であってもよい。

【0151】また、ディスプレイもFLCに限らず、表示画像を部分的に書き換えることが可能な他のディスプレイであってもよい。

【0152】また、部分書き換えは、ライン単位の書き換えでなく、ブロック単位の書き換えであってもよい。

【0153】

【発明の効果】以上のように、本発明によれば、複数画面の相関を用いて符号化された画像データから前画面に対して変化した部分を効率よく検出することができ、表示装置における部分的な画像表示の変更が可能となる。

【0154】また、イントラ画像を表示するタイミング

でリフレッシュ動作を行わせることにより、表示装置における表示画像の劣化を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の画像処理装置を含むシステムの構成を示すブロック図である。

【図2】JPEGのデータ構造を示す図である。

【図3】JPEG方式における符号化装置の構成を示す図である。

【図4】JPEG方式における復号化装置の構成を示す図である。

【図5】JPEG方式における符号化の原理を説明する図である。

【図6】MPEGのデータ構造を示す図である。

【図7】MPEG方式における符号化装置の構成を示す図である。

【図8】MPEG方式における復号化装置の構成を示す図である。

【図9】MPEG方式における符号化の対象となる画像サイズを示す図である。

【図10】ATM通信フォーマットを説明する図である。

【図11】本発明の第1の実施例のパソコンの構成を示すブロック図である。

【図12】本発明の第1の実施例の画像処理装置の構成を示すブロック図である。

【図13】画像処理部1101の構成を示すブロック図である。

【図14】JP疑似中間調処理部1202の回路構成を示す図である。

【図15】誤差拡散法における重みづけ係数の例を示す図である。

【図16】部分書き換え領域検出部1103の構成を示す図である。

【図17】ディスプレイコントローラ1104の機能を示すブロック図である。

【図18】ディスプレイデータの構成を示す図である。

【図19】ディスプレイパネルの構成を示すブロック図である。

【図20】ディスプレイパネルの素子の配列を示す図である。

【図21】ディスプレイパネルのフィルタの構成を示すブロック図である。

【図22】強誘電性液晶の動作を説明する図である。

【図23】液晶セルを説明する図である。

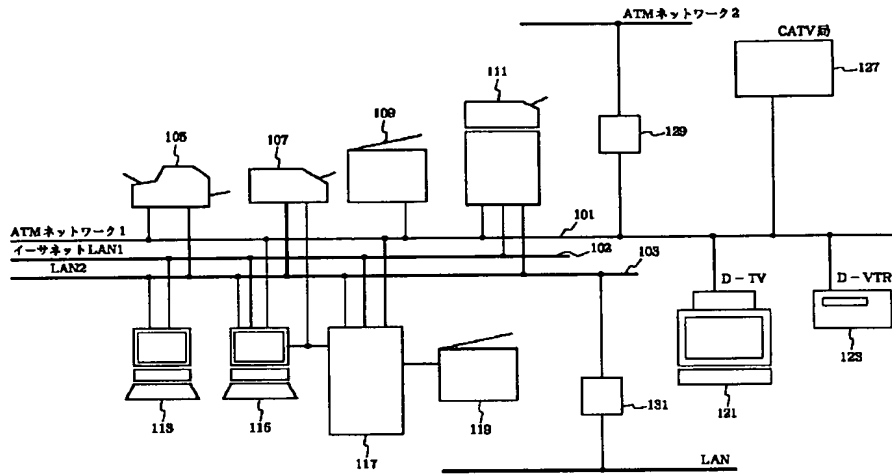
【符号の説明】

518 コーデック

511 ディスプレイコントローラ

514 FLCディスプレイ

【図1】



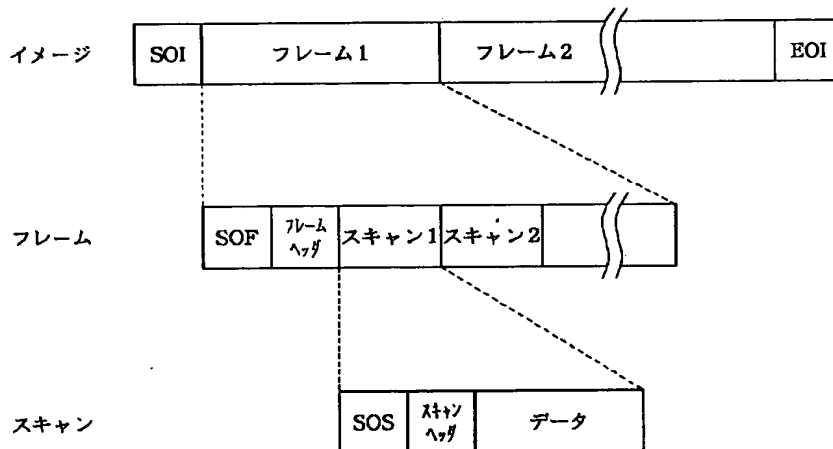
【図15】

1	3	5	9	1
3	6	7	6	3
5	7	*		

【図2】

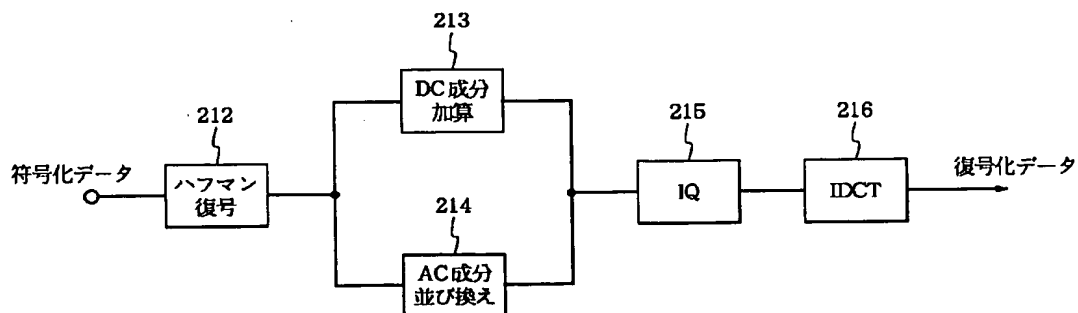
【図18】

JPEG データ構造

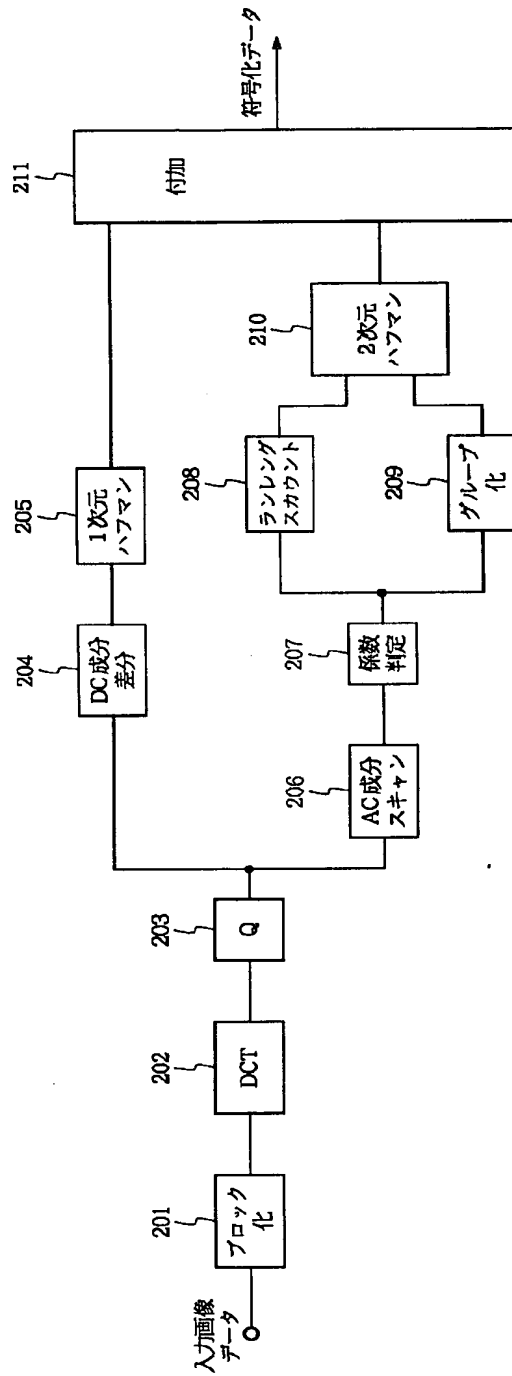


ラインアドレス	ラインデータ
ラインアドレス	ラインデータ
...	...
ラインアドレス	ラインデータ

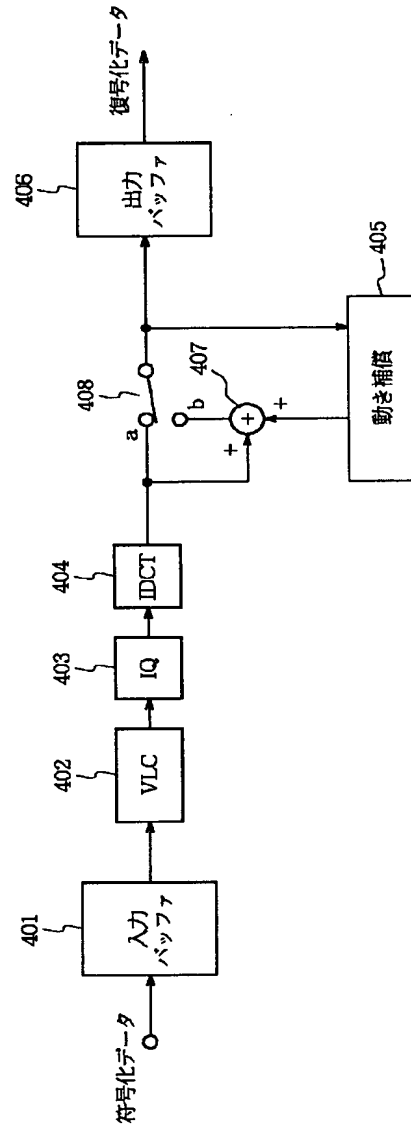
【図4】



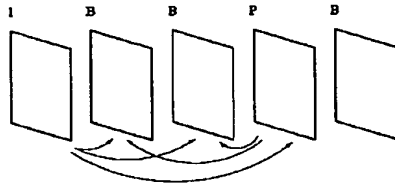
【図3】



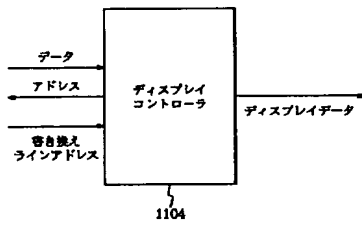
【図8】



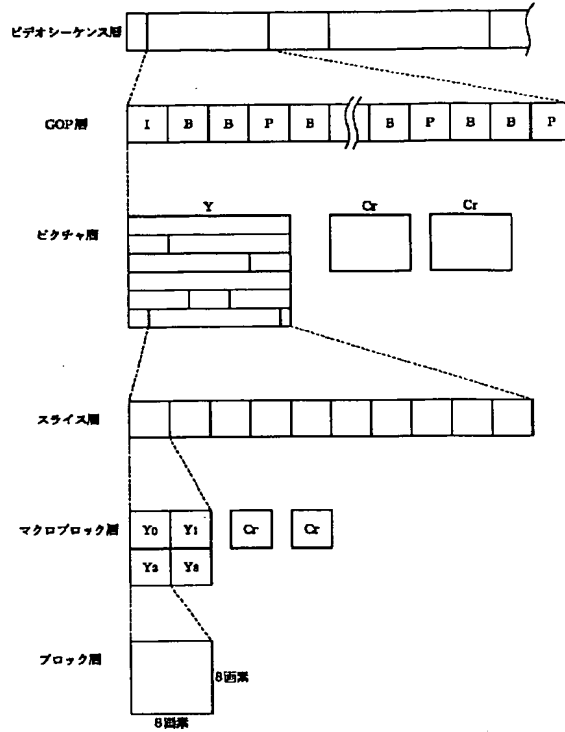
【図5】



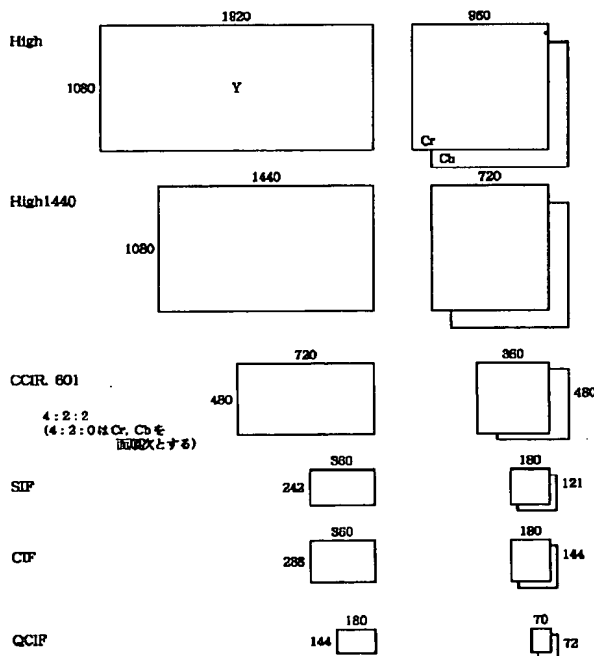
【図17】



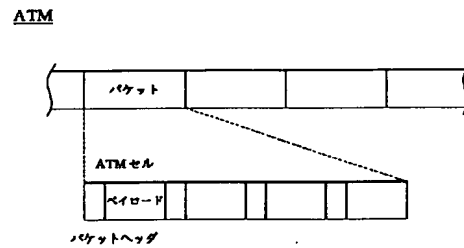
【図6】



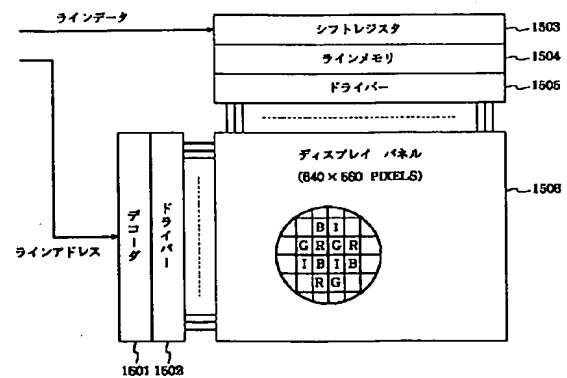
【図9】



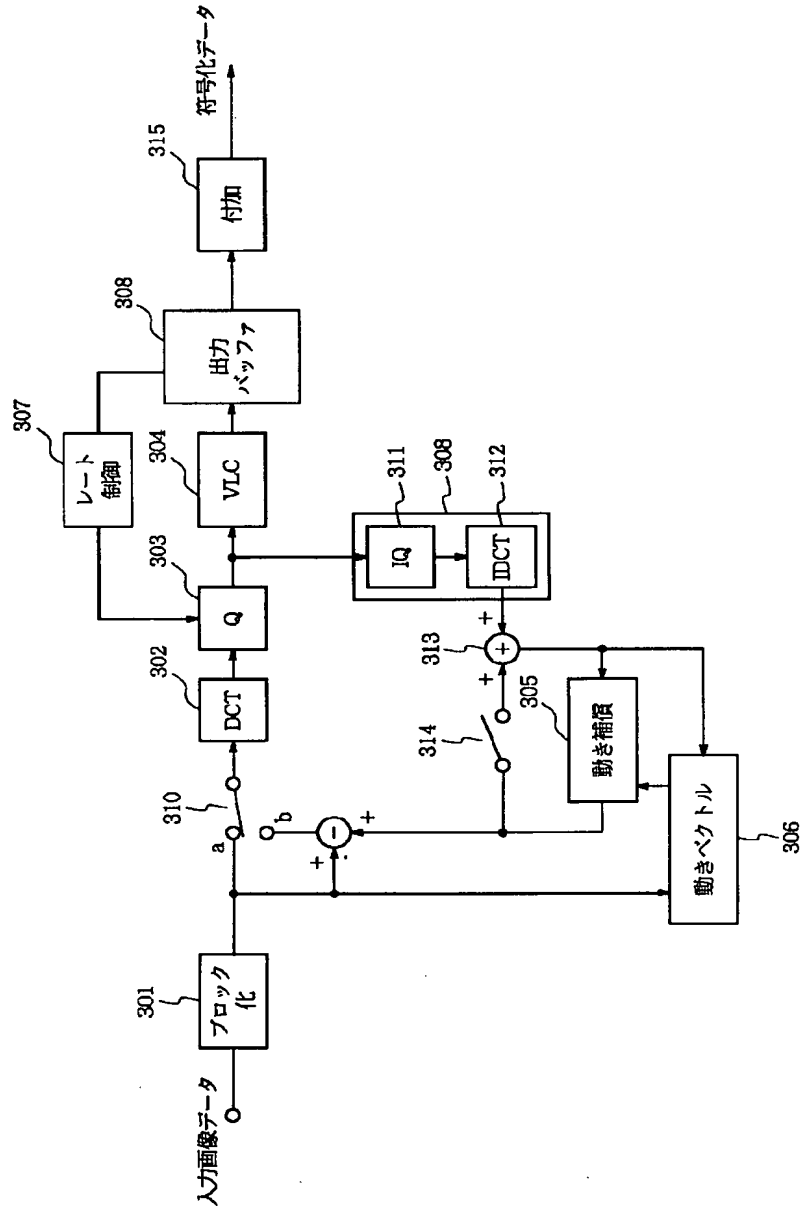
【図10】



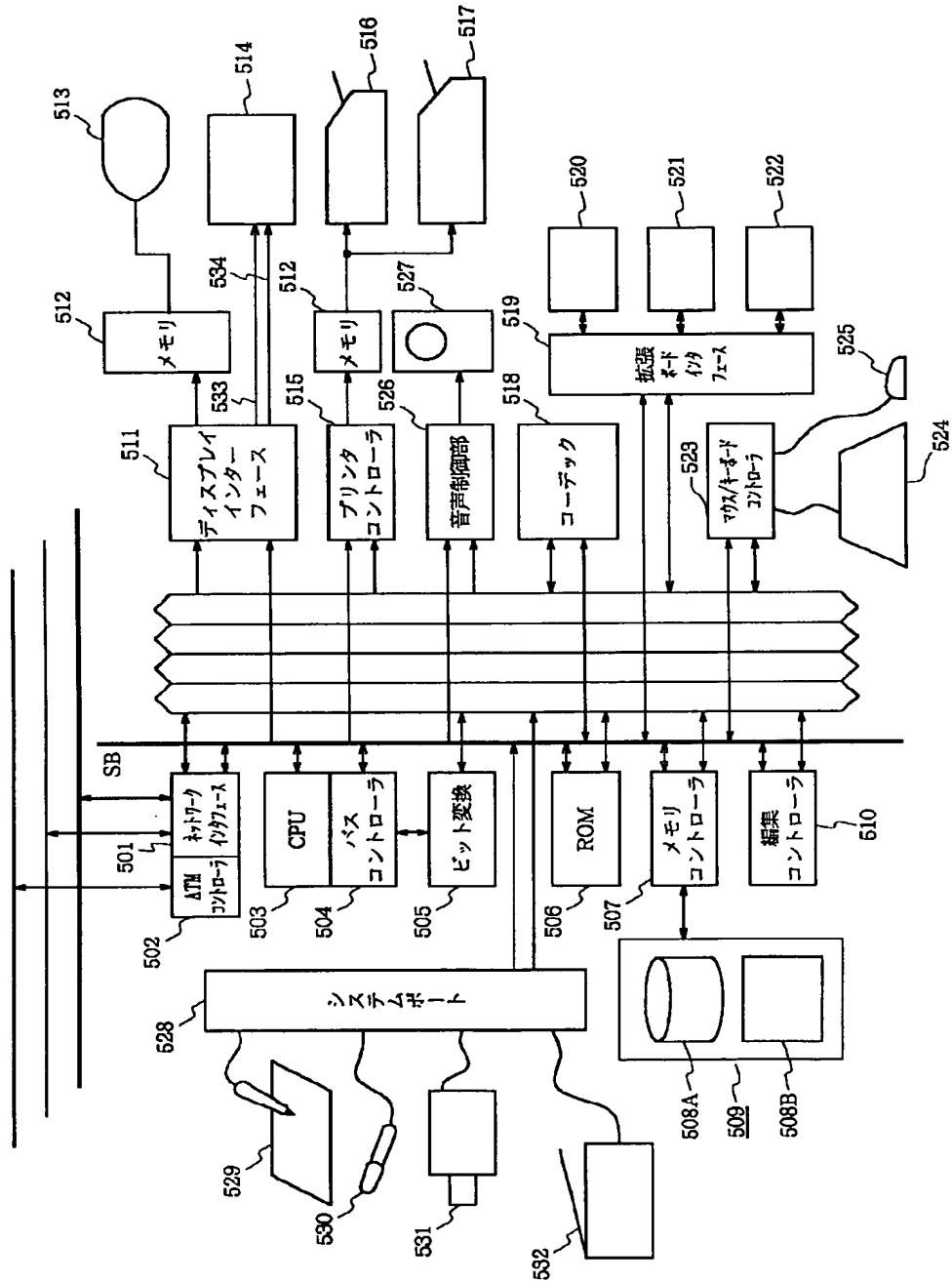
【図19】



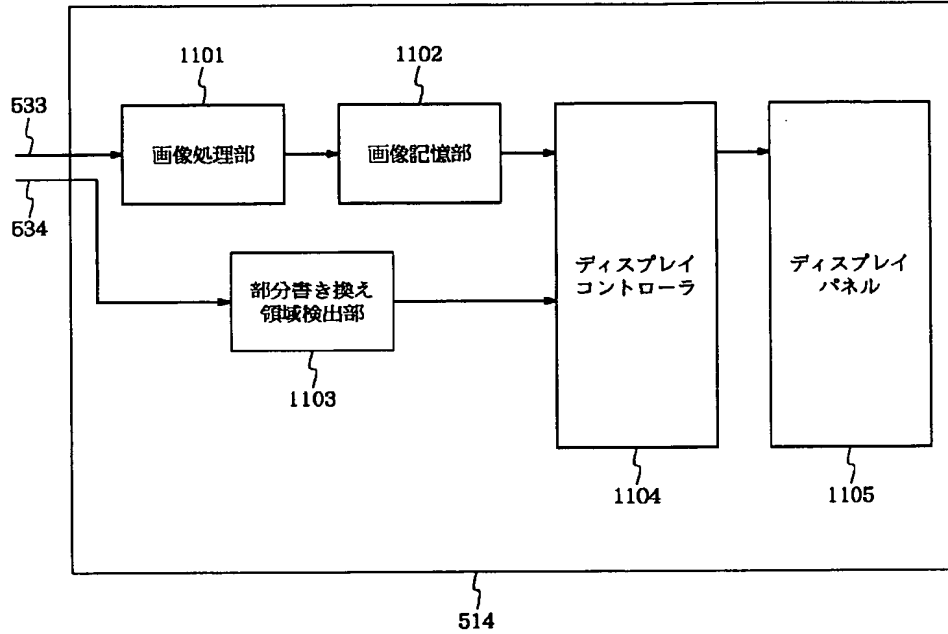
【図7】



【図 11】



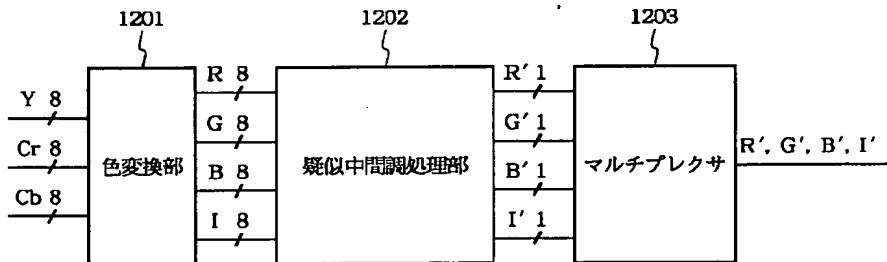
【図12】



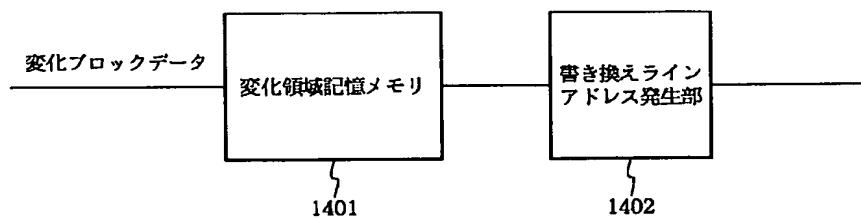
【図21】

R	G	B	I	
0	0	0	0	ブラック
0	0	0	1	ライトグレイ
0	0	1	0	ブルー
0	0	1	1	ライトブルー
0	1	0	0	グリーン
0	1	0	1	ライトグリーン
0	1	1	0	シアン
0	1	1	1	ライトシアン
1	0	0	0	レッド
1	0	0	1	ライトレッド
1	0	1	0	マゼンタ
1	0	1	1	ライトマゼンタ
1	1	0	0	イエロー
1	1	0	1	ライトイエロー
1	1	1	0	ライトグレイ
1	1	1	1	ホワイト

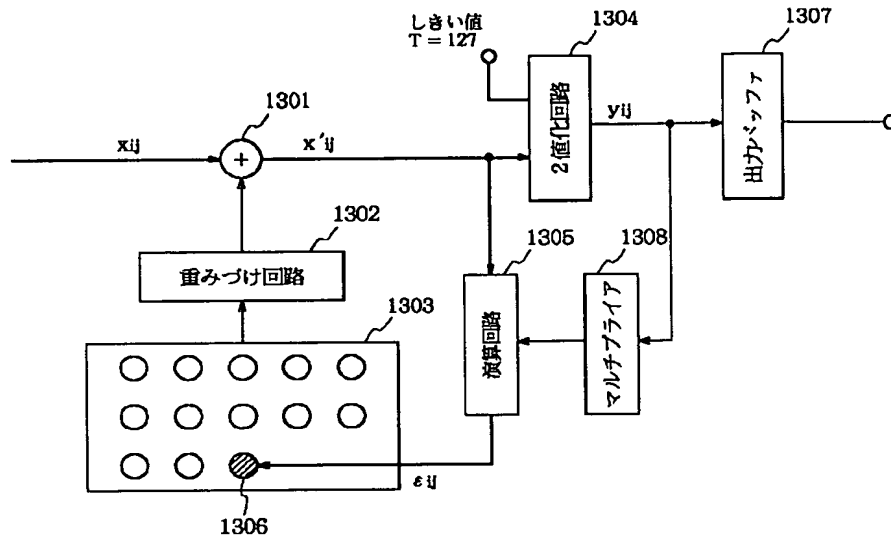
【図13】



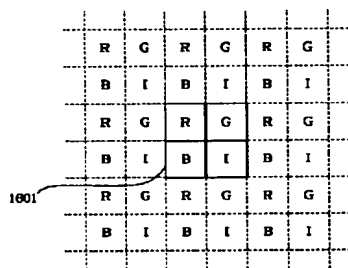
【図16】



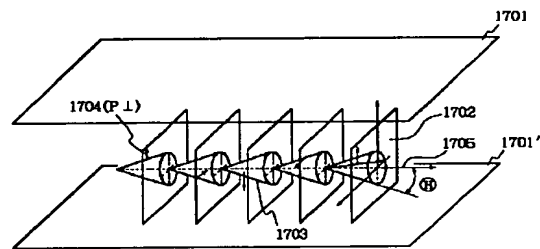
【図14】



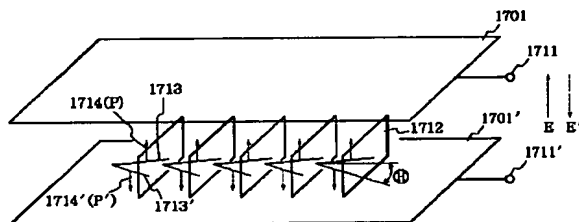
【図20】



【図22】



【図23】



フロントページの続き

(51)Int.Cl.⁸
H04N 5/66識別記号 庁内整理番号
102 B

F I

技術表示箇所